

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2699377号

(45) 発行日 平成10年(1998) 1月19日

(24) 登録日 平成9年(1997) 9月26日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 17/50			G 0 6 F 15/60	6 7 2 Z 6 6 4 M 6 6 4 K

請求項の数2 (全 6 頁)

(21) 出願番号	特願昭63-34027	(73) 特許権者	999999999 日本電気株式会社 東京都港区芝5丁目7番1号
(22) 出願日	昭和63年(1988) 2月18日	(72) 発明者	蔵下 正広 東京都港区芝5丁目33番1号 日本電気株式会社内
(65) 公開番号	特開平1-26243	(72) 発明者	野水 宣良 東京都港区芝5丁目33番1号 日本電気株式会社内
(43) 公開日	平成1年(1989) 1月27日	(74) 代理人	弁理士 山川 政樹 (外2名)
(31) 優先権主張番号	特願昭62-40343	審査官	田中 幸雄
(32) 優先日	昭62(1987) 2月25日	(56) 参考文献	特開 昭61-127042 (J P, A) 特開 昭59-38859 (J P, A)
(33) 優先権主張国	日本 (J P)		
(31) 優先権主張番号	特願昭62-100287		
(32) 優先日	昭62(1987) 4月23日		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 ハードウェア論理シミュレータ

1

(57) 【特許請求の範囲】

【請求項1】 シミュレーションモデル内の信号群を指定する指定手段と、

この指定手段で指定された信号群をアドレスとして入力する記憶手段を発生し前記シミュレーションモデル内に組み込む組込み手段と、

シミュレーション実行時、前記指定手段で指定された信号群の状態が変化することにより、前記変化後の信号群の状態で決まる前記記憶手段のアドレスに所定のデータを書き込む書き込み手段と、

前記記憶手段に記憶されたデータを読み出す読出し手段とを具備したハードウェア論理シミュレータ。

【請求項2】 状態値を保持する第1のメモリと対に存在し且つ状態値が変化した場合の判断情報を保持する第2のメモリと、

2

状態値が変化した場合かを判断する回路と、
状態値が変化した場合に前記第2のメモリ内に状態値が変化したことを意味する情報を書き込む回路とを備え、シミュレーションの網羅性を確認し得るようにしたことを特徴とするハードウェア論理シミュレータ。

【発明の詳細な説明】

【産業上の利用分野】

本発明はハードウェア論理シミュレータに関し、特に、テストデータによるシミュレーション実行時にシミュレーション対象がどの程度動作したかを検出するハードウェア論理シミュレータに関するものである。

【従来の技術】

LSI等の論理回路あるいは論理装置の設計段階において必要になる設計検証は一般に各種のシミュレータを用いて行なわれている。このシミュレータを用いた設計検

10

証は、設計検証しようとするLSI等のシミュレーションモデルをシミュレータ内に生成し、予め用意されたテストデータを用いてシミュレーションを実行させることにより行なうもので、従来より各種の方式が知られている（例えば、「情報処理」1984年10月号、p.1048～p.1055、「2.方式・機能・論理設計におけるCAD、2.3方式・機能・論理シミュレーション」、あるいは昭和55年度情報処理学会第21回全国大会予稿集7E-1～7E-5、あるいは情報処理学会第26回（昭和58年前期）全国大会予稿集7P-2～7P-5参照）。

〔発明が解決しようとする課題〕

ところで、設計検証の正確度は、シミュレーション対象がどの程度動作したか即ちシミュレーションの網羅性に依存する。このため、シミュレータによる論理検証に際してはシミュレーションの網羅性を調べることが大切であるが、従来、シミュレータによるシミュレーションの網羅性を簡単に確認することが困難であり、そのため、不十分なシミュレーション即ち不十分なテストケースを用いた検証しか行なわれず、LSI等の製造後に論理誤りが発見されたり、重複する無駄なテストケースによりシミュレーションを行なって多大な工数を費やすといった問題がある。

本発明はこのような点に鑑みてなされたものであり、その目的とするところは、シミュレーションの網羅性を簡単に検出することができるハードウェア論理シミュレータを得ることにある。

〔課題を解決するための手段〕

このような目的を達成するために本願の第1の発明は、シミュレーションモデル内の信号群を指定する指定手段と、

この指定手段で指定された信号群をアドレスとして入力する記憶手段を発生しシミュレーションモデル内に組み込む組込み手段と、

シミュレーション実行時、指定手段で指定された信号群の状態が変化することにより、変化後の信号群の状態が決まる記憶手段のアドレスに所定のデータを書き込む書込み手段と、

記憶手段に記憶されたデータを読み出す読出し手段とを有している。

また本願の第2の発明は、状態値を保持する第1のメモリと対に存在し且つ状態値が変化した場合の判断情報を保持する第2のメモリと、

状態値が変化した場合の判断回路と、

状態値が変化した場合に前記第2のメモリ内に状態値が変化したことを意味する情報を書き込む回路とを備え、シミュレーションの網羅性を確認し得るようにしている。

〔作用〕

第1の発明においては、シミュレーション終了後、読出し手段から読み出された記憶手段の記憶データを調べ

ることにより、記憶手段における未書込みアドレスが判明し、この未書込みアドレスは指定された信号群の状態値のすべての組合せの中でシミュレーションで発生しなかった組合せを表わしている。従って、次のシミュレーションでは、その発生しなかった組合せをターゲットとしたテストケースの作成実行が可能になると共に重複したテストケースを排除でき、十分な論理検証を行なうための効率良いシミュレーションが可能となる。

また第2の発明においては、状態値が変化した場合の判断し、状態値が変化した場合に上記状態値が変化した場合の判断情報を保持するメモリ内に状態値が変化したことを意味する情報を書き込み、このメモリの内容を読み出し状態値変化判断と読み出す。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は第1の発明の実施例のハードウェア論理シミュレータを示す系統図であり、シミュレーションモデル作成部1と、信号群指定部2と、メモリ素子発生部3と、シミュレーション部4と、データ読出し部5と、解析表示部6と、表示装置7とで構成されている。

シミュレーションモデル作成部1は、論理検証しようとするLSI等の論理回路の回路記述aを入力してシミュレーションモデルを作成する。信号群指定部2は、シミュレーションモデル作成部1で作成されたシミュレーションモデル内の信号群を、外部からの信号群指定記述bによって選択する。メモリ素子発生部3は、信号群指定部2で選択された信号群をアドレスとして入力するメモリ素子を発生し、このメモリ素子をシミュレーションモデル作成部1で作成されたシミュレーションモデルに追加する。なお、メモリ素子発生部3はシミュレーション実行開始前においてはメモリ素子の各アドレスに対応する領域を論理「0」にクリアする。シミュレーション部4は、メモリ素子の追加されたシミュレーションモデルをテストケースに基づいてシミュレーションを行なう。このとき、シミュレーション部4では、シミュレーションモデルに追加されたメモリ素子のアドレス即ち信号群指定記述bで指定された信号群の状態が変化する場合、その変化後の信号群の状態で決まるメモリ素子のアドレスに所定のデータ例えば論理「1」を書き込む。データ読出し部5は、追加されたメモリ素子の記憶データをシミュレーションの実行後に読み出すものであり、解析表示部6は、メモリ素子の記憶データを解析し、論理「0」の状態のままになっているアドレスを未アクセスアドレス即ち実現しなかった信号群状態とする解析結果cを生成し、表示装置7に編集表示する。

第2図はシミュレーションモデル作成部1で作成されたシミュレーションモデルの一例を示すモデル説明図、第3図はメモリ素子発生後のシミュレーションモデルの一例を示すモデル説明図である。

シミュレーションモデル作成部1で作成されたシミュレーションモデルが、例えば第2図に示すようにゲートq1,q2,q3,q4,q5と、ゲートq1の出力とゲートq4の入力とをつなぐ信号線dと、ゲートq2の出力とゲートq5の一方の入力とをつなぐ信号線eと、ゲートq3の出力とゲートq5の他方の入力とをつなぐ信号線fとを含む場合、信号群指定記述bによって信号線d,e,fを指定すると、その旨が信号群指定部2からメモリ素子発生部3に通知され、メモリ装置発生部3は、例えば第3図に示すように信号線d,e,fをアドレス入力とし、データ入力として論理「1」を持つメモリ素子mを発生する。ここで、メモリ素子mは、少なくとも信号線d,e,fの状態の組合せの個数だけの記憶エリアを持ち、各記憶エリアはその組合せに対応している。そして、シミュレーション実行開始前においては各記憶エリアには論理「0」が格納されている。シミュレーション部4がテストケースに基づいてシミュレーションモデルのシミュレーションを行わないと、そのテストケースがゲートq1,q2,q3に関する場合、ゲートq1,q2,q3の出力状態がそのテストケースに応じて変化することになり、その出力状態つまりアドレス変化がある毎に、変化後の出力状態の組合せで決まるメモリ素子mのアドレスに論理「1」が書き込まれる。

次に、第2の発明の実施例について説明する。第4図は第2の発明の一実施例を示すブロック系統図である。第4図において、11は状態値を保持する状態値メモリ、12はこの状態値メモリ11と対に存在し且つ状態値が変化した場合の判断情報を保持する状態値変化判断メモリ、13は状態値が変化した場合を判断する状態値変化判断回路、14は状態値が変化した場合に上記状態値変化判断メモリ12内に状態値が変化したことを意味する情報

を書き込む状態値変化判断書込み回路である。次に、第4図に示す実施例の動作を説明する。まず、論理シミュレーション実施中、回路の状態値を変更するため、状態値書込みアドレスgと状態値hが送られてくる。そして、状態値メモリ11はこの状態値書込みアドレスgから旧状態値iを読み出した後、状態値hを書き込む。これと同時に、状態値変化判断メモリ12は状態値書込みアドレスgから読み出し状態値変化判断kを読み出す。

次に、状態値変化判断回路13は、状態値hと旧状態値iの排他的論理和を行なうことにより、状態値が変化した場合を判断し、状態値変化判断フラグjを出力する。そして、状態値変化判断書込み回路14は、上記状態値変化判断フラグjと読み出し状態値変化判断kの論理和を行なうことにより書込み状態値変化判断lを求め、状

態値変化判断メモリ12の状態値書込みアドレスgに書込み状態値変化判断lを書き込む。

このようにして、状態値変化判断メモリ2は、シミュレーション対象回路内の全回路の状態値変化の有無を保持する。

そして、シミュレーション終了後、状態値変化判断メモリ12の内容を読み出し状態値変化判断nと読み出し、シミュレーションの効果を測定することができる。

〔発明の効果〕

10 以上説明したように本願の第1の発明は、シミュレーションモデル内の信号群に指定する指定手段と、この指定手段で指定された信号群をアドレスとして入力する記憶手段を発生し、シミュレーションモデル内に組み込む組み込み手段と、シミュレーション実行時、指定手段で指定された信号群の状態が変化することにより、その変化後の信号群の状態で決まる記憶手段のアドレスに所定のデータを書き込む書込み手段と、記憶手段に記憶されたデータを読み出す読み出し手段とを有するものであり、シミュレーション対象がどの程度動作したか即ちシミュレーションの網羅性を簡単に検出することができ、効率的にシミュレーションを行なうことができる効果がある。

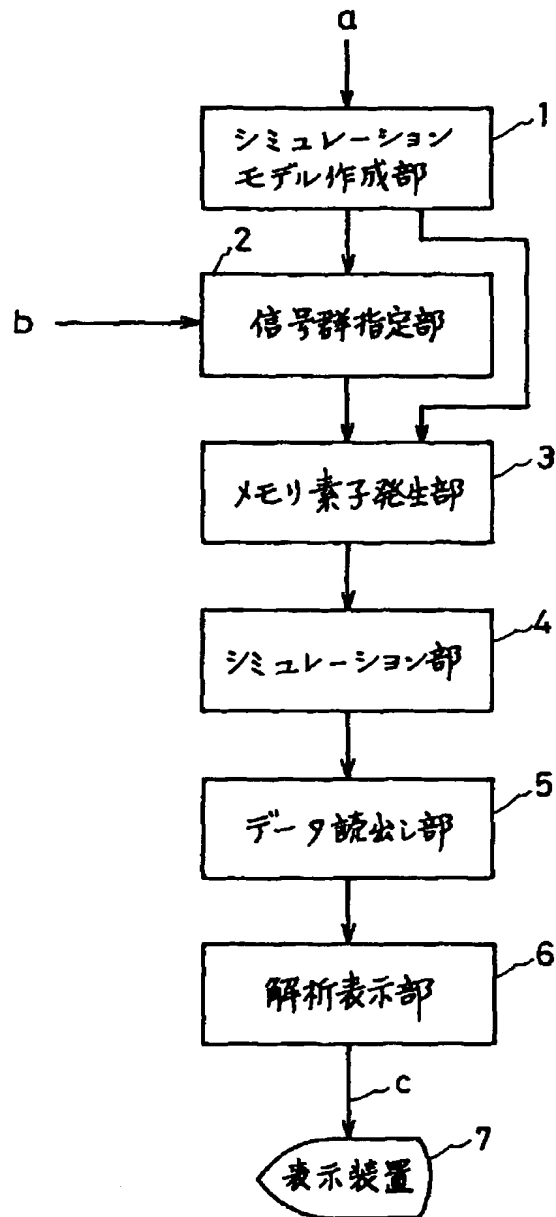
また本願の第2の発明は、状態値が変化した場合を判断し、状態値が変化した場合に上記状態値が変化した場合の判断情報を保持するメモリ内に状態値が変化したことを意味する情報を書き込み、このメモリの内容を読み出し状態値変化判断と読み出すことにより、シミュレーションの網羅性の判断が可能となり、効率的にシミュレーションができる効果がある。

30 【図面の簡単な説明】

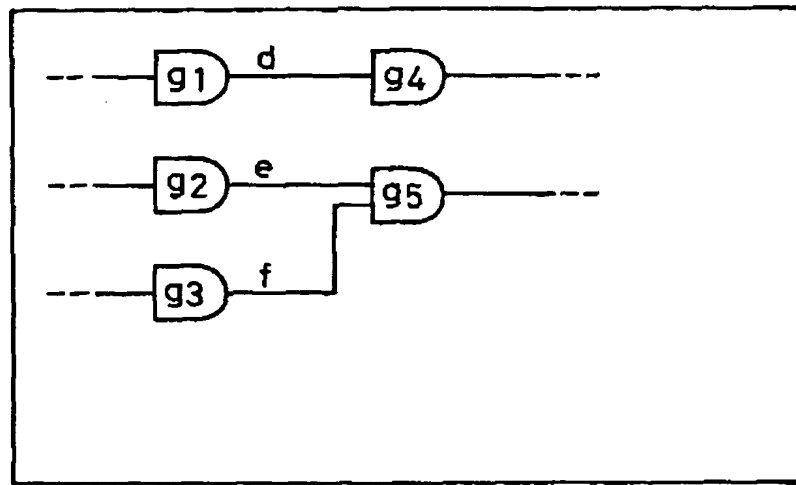
第1図は第1の発明の実施例を示す系統図、第2図はシミュレーションモデル作成部で作成されるシミュレーションモデルの一例を示すモデル図、第3図はメモリ素子発生後のシミュレーションモデルの一例を示すモデル図、第4図は第2の発明の実施例を示すブロック系統図である。

1……シミュレーションモデル作成部、2……信号群指定部、3……メモリ素子発生部、4……シミュレーション部、5……データ読み出し部、6……解析表示部、7……表示位置、q1~q5……シミュレーションモデル上のゲート、d,e,f……シミュレーションモデル上の信号線、m……シミュレーションモデルに追加されたメモリ素子、11……状態値メモリ、12……状態値変化判断メモリ、13……状態値変化判断回路、14……状態値変化判断書込み回路。

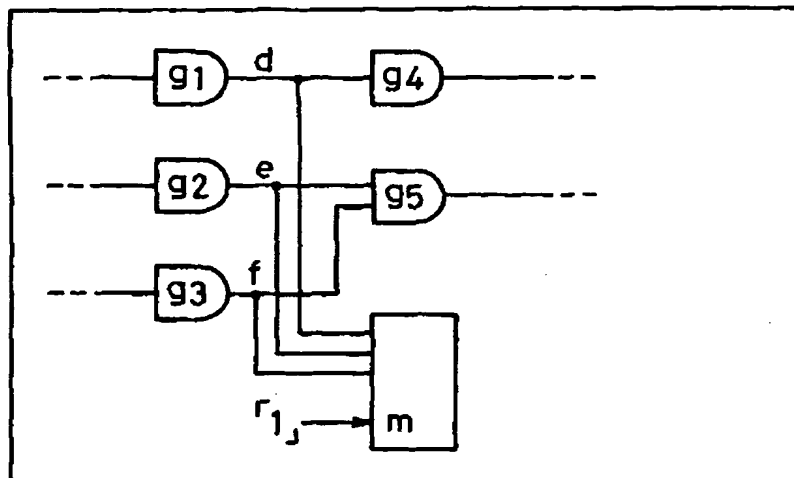
【第1図】



【第2図】



【第3図】



【第4図】

